

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-077691

(43)Date of publication of application : 22.03.1996

(51)Int.CI.

G11B 19/12

G11B 7/095

(21)Application number : 07-149721

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 25.05.1995

(72)Inventor : INAGAWA JUN
HAYASHI YASUHIRO
KUBO HITOSHI

(30)Priority

Priority number : 06136451

Priority date : 26.05.1994

Priority country : JP

06177753

07.07.1994

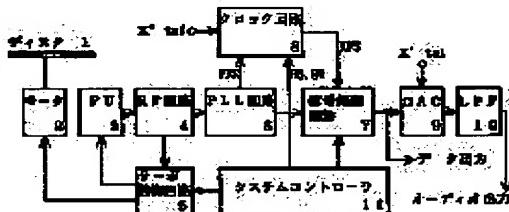
JP

(54) DISC REPRODUCER AND SIGNAL PROCESSING CIRCUIT

(57)Abstract:

PURPOSE: To obtain a data before a motor reaches a predetermined r.p.m. by controlling the read clock signal in a buffer memory depending on the quantity of data in the buffer memory and the type thereof thereby shortening the interruption of data reproduction.

CONSTITUTION: If the speed of a disc motor 2 is low and the writing rate of data into a memory in a signal processing circuit 7 is low during the transient interval of searching operation or reproduction speed switching operation where the motor 2 does not reach a predetermined speed yet, the clock being delivered from a clock circuit 8 to a signal processing system is set lower than a predetermined frequency. Consequently, the rate for reading data from the memory is lowered and the memory is prevented from being emptied. When the speed of the motor 2 is high and the rate for writing data into the memory is high, the clock of the signal processing system is set higher than the predetermined frequency and the rate for reading data from the memory is increased thus preventing the memory from being filled fully. In other words, overflow/ underflow of memory is prevented by varying the frequency of reference clock depending on the writing rate of memory.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-77691

(43)公開日 平成8年(1996)3月22日

(51) Int.Cl.^a
G 11 B 19/12
7/095

識別記号 庁内整理番号
501 N 7525-5D
K 7525-5D
A 9368-5D

F I

技術表示箇所

審査請求 未請求 請求項の数28 FD (全19頁)

(21)出願番号 特願平7-149721
(22)出願日 平成7年(1995)5月25日
(31)優先権主張番号 特願平6-136451
(32)優先日 平6(1994)5月26日
(33)優先権主張国 日本(JP)
(31)優先権主張番号 特願平6-177753
(32)優先日 平6(1994)7月7日
(33)優先権主張国 日本(JP)

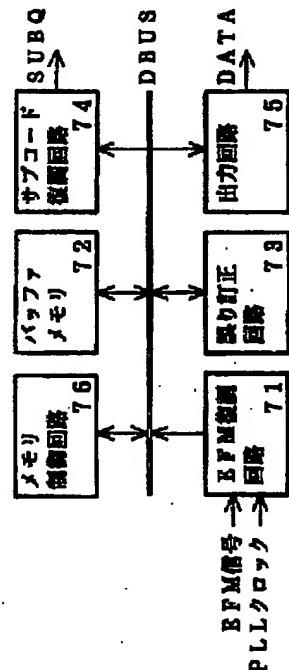
(71)出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72)発明者 稲川 雄
神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内
(72)発明者 林 泰弘
神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内
(72)発明者 久保 仁
神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内
(74)代理人 弁理士 竹村 寿

(54)【発明の名称】ディスク再生装置及び信号処理回路

(57)【要約】

【目的】システム全体の消費電力の節約を計ると共にシステムが形成されたチップの過剰な加熱を防ぐディスク再生装置及び信号処理回路を提供する。

【構成】このディスク再生装置は、少なくとも第1又は第2のタイプに分類されるディスクデータを再生するため、前記バッファメモリ72から読み出された前記第1のタイプのデータの前記復調されたデータを動作基準クロック信号に応答して変換するデジタルアナログ変換回路を有し、再生すべきデータが前記第1のタイプのデータの場合、前記動作基準クロック信号の周波数を第1の値に設定し、再生すべきデータが前記第2のタイプのデータの場合には、前記動作基準クロック信号の周波数を前記第1の値よりも低い第2の値に設定する。メモリの書き込み速度に応じてシステム基準クロックの周波数を適宜変化させてメモリのオーバーフロー／アンダーフローを防ぐことができる。



【特許請求の範囲】

【請求項1】 少なくとも第1又は第2のタイプに分類されるディスクデータを再生するためのディスク再生装置において、

前記ディスクデータが記録されたディスクを回転させるディスクモータと、

再生すべきデータを前記ディスクから読み取る光学式ピックアップと、

前記ディスクから読み取られたデータを復調する復調回路と、

前記復調回路で復調されたデータを格納するバッファメモリと、

前記バッファメモリから読み出された前記第1のタイプのデータの前記復調されたデータを動作基準クロック信号に応答して変換するデジタルーアナログ変換回路とを有し、

再生すべきデータが前記第1のタイプのデータの場合、前記動作基準クロック信号の周波数を第1の値に設定し、再生すべきデータが前記第2のタイプのデータの場合には、前記動作基準クロック信号の周波数を前記第1の値よりも低い第2の値に設定することを特徴とするディスク再生装置。

【請求項2】 前記第1の値の周波数を有する第1のクロック信号と前記第2の値の周波数を有する第2のクロック信号とを入力とし再生すべきデータのタイプを示す信号に応じて前記第1及び第2のクロック信号の一方を選択して前記動作基準クロック信号として供給するセレクタを有することを特徴とする請求項1に記載のディスク再生装置。

【請求項3】 前記第1のタイプのデータはオーディオデータであり、前記第2のタイプのデータはROMデータであることを特徴とする請求項1又は請求項2に記載のディスク再生装置。

【請求項4】 前記再生すべきデータが前記第1のタイプのデータである場合、前記復調されたデータはデジタルーアナログ変換回路を介して出力され、前記再生すべきデータが前記第2のタイプのデータである場合、前記復調されたデータはデジタルーアナログ変換回路を介さずに出力されることを特徴とする請求項1乃至請求項3のいずれかに記載のディスク再生装置。

【請求項5】 前記バッファメモリへのアクセスに使用されるフレームクロック信号を生成するフレームクロック生成回路をさらに有し、

前記再生すべきデータが前記第2のデータの場合、前記フレームクロック信号を前記動作基準クロック信号としてデジタルーアナログ変換がこれに応答して行われるように、前記フレームクロック信号は前記デジタルーアナログ変換回路に供給されることを特徴とする請求項1乃至請求項4のいずれかに記載のディスク再生装置。

【請求項6】 前記再生すべきデータのタイプの特定を

前記ディスクから読み出されるサブコードデータに基づいて行うことを特徴とする請求項1乃至請求項5のいずれかに記載のディスク再生装置。

【請求項7】 ディスクモータによって回転されるディスクに記録され、光学的ピックアップによって読み出される少なくとも第1のタイプのデータ又は第2のタイプのデータに分類されるディスクデータを再生する信号処理回路において、

前記ディスクから読み出されたディスクデータを復調する復調回路と、

前記ディスクから読み出され復調されたデータを格納するバッファメモリと、

前記バッファメモリから読み出された前記第1のタイプのデータの前記復調されたデータを前記動作基準クロック信号に応答して変換するデジタルーアナログ変換回路とを備え、

再生すべきデータが前記第1のタイプのデータの場合、前記動作基準クロック信号の周波数を第1の値に設定し、再生すべきデータが前記第2のタイプのデータの場合には、前記動作基準クロック信号の周波数を前記第1の値よりも低い第2の値に設定することを特徴とする信号処理回路。

【請求項8】 前記第1の値の周波数を有する第1のクロック信号と前記第2の値の周波数を有する第2のクロック信号とを入力とし、前記再生すべきデータのタイプを示す信号に応じて前記第1及び第2のクロック信号の一方を選択して前記動作基準クロック信号として供給するセレクタをさらに有することを特徴とする請求項7に記載の信号処理回路。

【請求項9】 前記第1のタイプのデータはオーディオデータであり、前記第2のタイプのデータはROMデータであることを特徴とする請求項7又は請求項8に記載の信号処理回路。

【請求項10】 前記再生すべきデータが前記第1のタイプのデータである場合、前記復調されたデータはデジタルーアナログ変換回路を介して出力され、前記再生すべきデータが前記第2のタイプのデータである場合、前記復調されたデータはデジタルーアナログ変換回路を介さずに出力されることを特徴とする請求項7乃至請求項9のいずれかに記載の信号処理回路。

【請求項11】 前記バッファメモリへのアクセスに使用されるフレームクロック信号を生成するフレームクロック生成回路をさらに有し、前記再生すべきデータが前記第2のデータの場合、前記フレームクロック信号を前記動作基準クロック信号としてデジタルーアナログ変換がこれに応答して行われるように前記フレームクロック信号は前記デジタルーアナログ変換回路に供給されることを特徴とする請求項7乃至請求項10のいずれかに記載の信号処理回路。

【請求項12】 前記再生すべきデータのタイプの特定を

を前記ディスクから読み出されるサブコードデータに基づいて行うことを特徴とする請求項 7 乃至請求項 11 のいずれかに記載の信号処理回路。

【請求項 13】 少なくとも第 1 又は第 2 のタイプに分類されるディスクデータを再生するためのディスク再生装置において、

前記ディスクデータが記録されたディスクを回転させるディスクモータと、

再生すべきデータを前記ディスクから読み取る光学式ピックアップと、

前記ディスクから読み取られたデータを復調する復調回路と、

前記復調されたデータを格納するバッファメモリと、

前記バッファメモリから読み出された前記第 1 のタイプのデータの前記復調されたデータを動作基準クロック信号に応答して変換するデジタルアナログ変換回路と、前記バッファメモリへのアクセスに使用されるフレームクロック信号を生成するフレームクロック生成回路とを備え、

このフレームクロック生成回路は、前記バッファメモリに格納された前記復調されたデータの量に従って分周制御信号を生成する分周制御回路と、

前記分周制御信号に基づいて所定周波数のクロック信号を分周し、第 1 の分周されたクロック信号を出力する第 1 の分周器と、

分周が固定された第 2 の分周されたクロック信号を出力する第 2 の分周器と、

前記第 1 及び第 2 の分周されたクロック信号の位相差を表わす位相制御信号を生成する位相比較器と、

前記位相制御信号に応答して周波数が前記バッファメモリに格納された前記復調されたデータの量にしたがって変化し、前記第 2 の分周器に与えられる制御されたクロック信号を生成する電圧制御発振器と、

前記所定周波数のクロック信号と前記制御されたクロック信号とを入力し、これら入力のいずれか一方を選択し、選択されたクロック信号を出力する第 1 のセレクタと、

前記選択されたクロック信号を分周して前記フレームクロック信号を生成する第 3 の分周器とを備えており、

前記再生すべきデータが前記第 1 のタイプのデータの場合、前記動作基準クロック信号の周波数は第 1 の値に設定され、前記セレクタは前記所定周波数のクロック信号を選択し、前記再生すべきデータが前記第 2 のタイプのデータの場合、前記動作基準クロック信号の周波数は前記第 1 の値より低い第 2 の値に設定され前記第 2 のセレクタは前記制御されたクロック信号を選択することを特徴とするディスク再生装置。

【請求項 14】 前記第 1 の値の周波数を有する第 1 のクロック信号と前記第 2 の値の周波数を有する第 2 のクロック信号とを入力とし再生すべきデータのタイプを示す

す信号に応じて前記第 1 及び第 2 のクロック信号の一方を選択して前記動作基準クロック信号として生成する第 2 のセレクタを有することを特徴とする請求項 13 に記載のディスク再生装置。

【請求項 15】 前記再生すべきデータが前記第 1 のタイプのデータである場合、前記所定周波数のクロック信号が前記動作基準クロック信号として出力され、前記再生すべきデータが前記第 2 のタイプのデータである場合、前記フレームクロック信号が前記動作基準クロック信号として出力されることを特徴とする請求項 13 又は請求項 14 に記載のディスク再生装置。

【請求項 16】 前記再生すべきデータのタイプの特定を前記ディスクから読み出されるサブコードデータに基づいて行うことを特徴とする請求項 13 乃至請求項 15 のいずれかに記載のディスク再生装置。

【請求項 17】 ディスクモータによって回転されるディスクに記録され、光学式ピックアップによって読み出される少なくとも第 1 のタイプのデータ又は第 2 のタイプのデータに分類されるディスクデータを再生する信号処理回路において、

前記ディスクから読み取られたデータを復調する復調回路と、

前記復調されたデータを格納するバッファメモリと、前記バッファメモリから読み出された前記第 1 のタイプのデータの前記復調されたデータを動作基準クロック信号に応答して変換するデジタルアナログ変換回路と、前記バッファメモリにアクセスするフレームクロック信号を生成するフレームクロック生成回路とを備え、

このフレームクロック生成回路は、前記バッファメモリに格納された前記復調されたデータの量に従って分周制御信号を生成する分周制御回路と、

前記分周制御信号に基づいて所定周波数のクロック信号を分周し、第 1 の分周されたクロック信号を出力する第 1 の分周器と、

分周数が固定されている第 2 の分周されたクロック信号を出力する第 2 の分周器と、

前記第 1 及び第 2 の分周されたクロック信号の位相差を表わす位相制御信号を生成する位相比較器と、

前記位相制御信号に応答して周波数が前記バッファメモリに格納された前記復調されたデータの量にしたがって変化し、前記第 2 の分周器に与えられる制御されたクロック信号を生成する電圧制御発振器と、

前記所定周波数のクロック信号と前記制御されたクロック信号とを入力し、これら入力のいずれか一方を選択し、選択されたクロック信号を出力する第 1 のセレクタと、

前記選択されたクロック信号を分周して前記フレームクロック信号を生成する第 3 の分周器とを備えており、前記再生すべきデータが前記第 1 のタイプのデータの場合、前記動作基準クロック信号の周波数は第 1 の値に設

定され、前記セレクタは前記所定周波数のクロック信号を選択し、前記再生すべきデータが前記第2のタイプのデータの場合、前記動作基準クロック信号の周波数は前記第1の値より低い第2の値に設定され前記第2のセレクタは前記制御されたクロック信号を選択することを特徴とする信号処理回路。

【請求項18】 前記第1の値の周波数を有する第1のクロック信号と前記第2の値の周波数を有する第2のクロック信号とを入力し、前記再生すべきデータのタイプを示す信号に応じて前記第1及び第2のクロック信号の一方を選択して前記動作基準クロック信号として供給する第2のセレクタをさらに有することを特徴とする請求項17に記載の信号処理回路。

【請求項19】 前記再生すべきデータが前記第1のタイプのデータである場合、前記所定周波数のクロック信号が前記動作基準クロック信号として出力され、前記再生すべきデータが前記第2のタイプのデータである場合、前記フレームクロック信号が前記動作基準クロック信号として出力されることを特徴とする請求項17又は請求項18に記載の信号処理回路。

【請求項20】 前記再生すべきデータのタイプの特定を前記ディスクから読み出されるサブコードデータに基づいて行うことを特徴とする請求項17乃至請求項19のいずれかに記載の信号処理回路。

【請求項21】 少なくとも第1又は第2のタイプに分類されるディスクデータを再生するためのディスク再生装置において、

前記ディスクデータが記録されたディスクを回転させるディスクモータと、

再生すべきデータを前記ディスクから読み取る光学式ピックアップと、

前記ディスクから読み取られたデータを復調する復調回路と、

前記復調されたデータを格納するバッファメモリと、

前記バッファメモリへのアクセスに使用されるフレームクロック信号を生成するフレームクロック生成回路とを備え、

このフレームクロック生成回路は、前記バッファメモリに格納された前記復調されたデータの量に従って分周制御信号を生成する分周制御回路と、

前記分周制御信号に基づいて所定周波数のクロック信号を分周し、第1の分周されたクロック信号を出力する第1の分周器と、

分周数が固定されている第2の分周されたクロック信号を出力する第2の分周器と、

前記第1と第2の分周されたクロック信号の位相差を表わす位相制御信号を生成する位相比較器と、

前記位相制御信号に応答して周波数が前記バッファメモリに格納された前記復調されたデータの量にしたがって変化し、前記第2の分周器に与えられる制御されたクロック信号を生成する電圧制御発振器と、

前記所定周波数のクロック信号と前記制御されたクロック信号とを入力し、これら入力された信号のいずれか一

ック信号を生成する電圧制御発振器と、前記所定周波数のクロック信号と前記制御されたクロック信号とを入力し、これら入力された信号のいずれか一方を選択し、選択されたクロック信号を出力するセレクタと、

前記選択されたクロック信号を分周して前記フレームクロック信号を生成する第3の分周器とを備えており、前記再生すべきデータが前記第1のタイプのデータの場合、前記セレクタは前記所定周波数のクロック信号を選択し、前記再生すべきデータが前記第2のタイプのデータの場合、前記セレクタは前記バッファメモリに格納された前記復調されたデータの量に従って前記フレームクロック信号の周波数を制御するように前記制御されたクロック信号を選択することを特徴とするディスク再生装置。

【請求項22】 前記復調されたデータの量はバッファメモリにおける現在の書き込みアドレスと読み出しアドレスの差によって決定されることを特徴とする請求項21に記載のディスク再生装置。

【請求項23】 前記再生すべきデータのタイプの特定を前記ディスクから読み出されるサブコードデータに基づいて行うことを特徴とする請求項21又は請求項22に記載のディスク再生装置。

【請求項24】 ディスクモータによって回転されるディスクに記録され、光学式ピックアップによって読み出される少なくとも第1のタイプのデータ又は第2のタイプのデータに分類されるディスクデータを再生する信号処理回路において、

前記ディスクから読み取られたデータを復調する復調回路と、

前記復調されたデータを格納するバッファメモリと、前記バッファメモリへのアクセスに使用されるフレームクロック信号を生成するフレームクロック生成回路とを備え、

このフレームクロック生成回路は、前記バッファメモリに格納された前記復調されたデータの量に従って分周制御信号を生成する分周制御回路と、

前記分周制御信号に基づいて所定周波数のクロック信号を分周し、第1の分周されたクロック信号を出力する第1の分周器と、

分周数が固定されている第2の分周されたクロック信号を出力する第2の分周器と、

前記第1と第2の分周されたクロック信号の位相差を表わす位相制御信号を生成する位相比較器と、

前記位相制御信号に応答して周波数が前記バッファメモリに格納された前記復調されたデータの量にしたがって変化し、前記第2の分周器に与えられる制御されたクロック信号を生成する電圧制御発振器と、

前記所定周波数のクロック信号と前記制御されたクロック信号とを入力し、これら入力された信号のいずれか一

方を選択し、選択されたクロック信号を出力するセレクタと、

前記選択されたクロック信号を分周して前記フレームクロック信号を生成する第3の分周器とを備えており、前記再生すべきデータが前記第1のタイプのデータの場合、前記セレクタは前記所定周波数のクロック信号を選択し、前記再生すべきデータが前記第2のタイプのデータの場合、前記セレクタは前記バッファメモリに格納された前記復調されたデータの量に従って前記フレームクロック信号の周波数を制御するように前記制御されたクロック信号を選択することを特徴とする信号処理回路。

【請求項25】前記復調されたデータの量はバッファメモリにおける現在の書き込みアドレスと読み出しアドレスの差によって決定されることを特徴とする請求項24に記載の信号処理回路。

【請求項26】前記再生すべきデータのタイプの特定を前記ディスクから読み出されるサブコードデータに基づいて行うことを特徴とする請求項24又は請求項25に記載の信号処理回路。

【請求項27】少なくとも第1又は第2のタイプに分類されるディスクデータを再生し、この第2のタイプのデータは少なくとも圧縮された静止画データや圧縮された動画データから構成された圧縮画像データを含むディスク再生装置において、

前記ディスクデータが記録されたディスクを回転させるディスクモータと、

再生すべきデータを前記ディスクから読み取る光学式ピックアップと、

前記ディスクから読み取られたデータを復調する復調回路と、

前記復調回路で復調されたデータを格納するバッファメモリと、

前記バッファメモリから読み出された前記第2のタイプのデータの前記復調されたデータを動作基準クロック信号に応答して伸長する少なくとも1つの伸長された静止画データ及び伸長された動画データを得る伸長回路とを備え、

再生すべきデータが前記第2のタイプのデータの場合、前記動作基準クロック信号の周波数を第1の値に設定し、再生すべきデータが前記第1のタイプのデータの場合には、前記動作基準クロック信号の周波数を前記第1の値よりも低い第2の値に設定することを特徴とするディスク再生装置。

【請求項28】前記再生すべきデータのタイプの特定を前記ディスクから読み出されるサブコードデータに基づいて行うことを特徴とする請求項27に記載のディスク再生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、CD(コンパクトディ

スク)等の光学的ディスク再生装置に係り、特に高速アクセス或いは低消費電力を可能にしたディスク再生装置及び信号処理回路に関する。

【0002】

【従来の技術】現在、音響機器の分野では、高密度で忠実度の高い記録再生を行うために、オーディオ信号をPCM(Pulse Code Modulation)技術によりデジタル化信号に変換して、例えば、ディスクや磁気テープなどの記録媒体に記録し、これを再生するデジタル記録再生システムが知られている。とくに直径12cmのディスクにデジタル化データに対応したビット列を形成し、これを光学式に読み取るCDが最も普及している。この様なディスク再生装置は、半導体レーザや光電変換素子などを内蔵した光学式ピックアップ素子をディスクの内周側から外周側に向けてリニアトラッキングに移動させるとともにCDを線速度一定(CLV: Constant Linear Velocity)で回転させることによってCDに記録されたデータの読み取りを行う。このCDには、アナログオーディオ信号を8ビットでPCM化してなるデジタルデータ(主情報データ)が記憶されている。デジタルデータは、8ビットを1シンボルとする24シンボルを1フレームとし、このフレームが繰り返される形でデータが記憶される。このディスクでは、エラー訂正符号としてクロスインターリーブ・リードソロモン(CIRC)符号を用いる。24シンボルのデジタルデータは、スクランブル部を介してC2系列パリティ生成回路に供給されて4シンボルのC2系列誤り訂正用のパリティデータQが生成される。

【0003】このデジタルデータとパリティデータQがインターリーブ回路を経てC1系列パリティ生成回路に供給されて4シンボルのC1系列誤り訂正用パリティデータPが生成される。24シンボルのデジタルデータと4シンボルのパリティデータP、Qよりなる32シンボルのデータは、1フレーム遅延回路を経てから8ビット(1シンボル)のサブコードデータが付加される。サブコードデータ及び32シンボルのデータはEFM(Eight to Fourteen Modulation)変調が施される。この変調された14ビットからなる各シンボル間に3ビットのマージンビットが付加され、さらに、先頭に24ビットのフレーム周期信号が付加される。このようにして合計588ビットのデータを1フレームとしてこれを単位にディスクに記録される。この場合、ビットクロックが4.32MHzであるので、1フレーム当たり $136\mu\text{sec}$ (7.35KHz)でディスクに記録される。サブコードデータは、9.8フレームで1サブコードフレームが構成されており、1サブコードフレーム当り75Hz(13.3ms)でディスクに記録される。

【0004】ディスク再生装置は、CD等のディスクから読み取ったデジタル化データをこのデータから同期信号を分離した後EFM復調し、パリティデータP、Qを

含む32シンボルのワード成分とサブコードデータ成分とに分離する。ついで、信号処理回路において、PLL回路で生成されたPLLクロックに同期した再生系フレームクロック(PFS)に同期して、EMF復調されたデータがメモリへ書き込まれ、システム基準クロックに同期した信号処理系のフレームクロック(XFS)に同期してメモリから読み出されることによってディスクモータによる時間軸変動を吸収する。システム基準クロックは、水晶発振器が生成する正確なクロックに基づいて生成される。ディスクに記録されたデータの再生速度を変えるには信号処理回路を制御する信号処理系のフレームクロック(XFS)を供給するクロック回路に供給される倍速制御信号(HS)を用いる。そして、1フレームあたり32シンボルのデータ成分に対して、Pパリティシンボルに基づき、C1系列の誤り訂正処理が施される。さらに24シンボルのデータおよび4シンボルのQパリティシンボルに対してディンターリーブ処理が施された後、Qパリティシンボルに基づきC2系列の誤り訂正処理を行われることによりCIRC符号が複号される。そして誤り訂正処理の結果に基づき訂正不能なデータについては平均値補正などの処理が施されオーディオデータとして出力される。

【0005】ディスク再生装置としてCDプレーヤは良く知られているがCD-ROMもその代表例の1つである。CD-ROMはディスクに混在するオーディオ信号とROMデータとを再生する装置である。CD-ROMプレーヤは2種類のデータ、すなわちオーディオデータとROMデータを再生することが可能である。尚ROMデータは、キャラクタコードや静止画データ及び動画データといった画像情報を含む。静止画データはJPEG(Joint Photographic Coding Experts Group)形式に、動画データはMPEG(Moving Picture Coding Experts Group)形式に圧縮されることがある。オーディオ信号を再生する際には音として出力するために通常再生速度(1倍速)で再生が行われる。これに対し、ROMデータは、出来るだけ速くデータを読み取るために、例えば、2倍速や4倍速といった高速で再生が行われる。このようなオーディオ信号とROMデータとが混在したディスクを再生する場合、頻繁に再生速度を切換える(例えば、1倍速から2倍速、或いは、その逆へと)必要がある。

【0006】

【発明が解決しようとする課題】一般に、ディスク再生装置は、ディスクをモータにより駆動し、光学式ピックアップによってディスクに記録されたデータを読み取り、この読み取ったデータをRF回路に供給する。RF回路は、光学式ピックアップの出力からフォーカスエラー信号やトラッキングエラー信号を抽出し、サーボ制御回路に供給すると共に再生信号を2値化し、EMF信号として信号処理回路に供給する。信号処理回路は、EF

M復調、サブコード復調、誤り訂正処理などを行い、その出力信号をデジタル／アナログコンバータ(DAC)へ供給する。このDACの出力は、ローパスフィルタ(LPF)へ供給され、LPFの出力が再生オーディオ出力信号となる。

【0007】このようなディスク再生装置において、ディスクから読み取ったデータの再生速度を変えるためには、図9に示すように速度制御を行う倍速制御信号(HS)を“L”から“H”にすることにより再生速度を1倍から2倍へ、或いは、HSを“H”から“L”にすることにより再生速度を2倍から1倍に切り換える。このような場合にディスクモータの回転速度は瞬時に変化せず、徐々に1倍から2倍へ、或いは、2倍から1倍へ変化する。したがって、ディスクモータの回転に応じてPLL回路により生成されるPLLクロックに同期した再生系フレームクロック(PFS)の周波数もこのモータの回転の様に徐々に変化する。

【0008】一方、誤り訂正処理、オーディオ出力処理などで使用される信号処理系のフレームクロック(XFS)は、システム基準クロックに同期して生成されるが、このシステム基準クロックは、水晶発振器で生成されたクロックの分周段数を切り換えれば、例えば、1倍から2倍、あるいは、2倍から1倍へと瞬時に切り換えることができる。したがって、ディスクモータが所定の回転数に達するまでの過渡期間は、システム基準クロック(あるいは信号処理系のフレームクロック)の周波数に対してPLLクロック(あるいは再生系のフレームクロック)の周波数が大きく異なるため、前記メモリにおいてデータがあふれるオーバーフロー、データが空になるアンダーフローが発生し、その結果再生が中断してしまう。ショックブルーフ・システムやCD-ROMシステムなどディスクの再生速度を可変するシステムにおいては、このようにディスクの再生速度切換時に、再生が中断し正常なデータを再生するまでに時間がかかることは大きな問題である。なお、CD-ROMシステムの他にも、上記エラー訂正処理等で使用するメモリ以外に大容量(例えば4メガ・ビット)のメモリを備えたショックブルーフ・システムと呼ばれるシステムでも速度切り換える際に、データの再生が中断することがある。

【0009】また、速度切り換以外にもメモリでオーバーフロー、アンダーフローが生じることがある。例えば、ディスク内周のデータを再生中にサーチ動作により、ピックアップが外周へ移動した場合、あるいはディスク外周のデータを再生中にサーチ動作により、ピックアップが内周へ移動した場合には、ディスクモータの回転速度を急激に変化させる必要がある。しかし、この場合もディスクモータが所定の回転数に達するまでの過渡期間は、システム基準クロック(あるいは信号処理系のフレームクロック)の周波数に対してPLLクロック(あるいは再生系のフレームクロック)の周波数が大き

く異なることになる。したがって、前記メモリにおいてデータがあふれるオーバーフローや、データが空になるアンダーフローが発生し、その結果再生が中断してしまう。これら速度切換えあるいはサーチ動作といった、急激な速度変化をモータに要求する動作は、データ再生の中断を生じさせ、再生装置の性能を著しく低下させる。また、このような問題を改善するために応答特性の良いトルクの大きいディスクモータを使用することもできるが、このようなモータの使用はディスク再生装置の大幅なコストアップにつながり、さらに消費電流が増大し、信頼性も悪化するという欠点があった。

【0010】また、ディスク回転の角速度が一定でCAV (Constant Angular Velocity) と呼ばれるシステムも存在する。これらのシステムでは、ディスクモータの回転数を変化させる必要がない。しかしながら、このようなCAVシステムでは、データの転送レートが一定でないという問題がある。たとえば、外周でのデータの転送速度が4倍速になるようにディスクを回転させると、それと同じ回転数では内周で転送速度は1.6倍速となる。また、CAVシステムでは、モータを一定速度で回転させるためにFG (Frequency Generator：回転数に応じた数のパルスを発生させる回路) 等のメカの変更が必要となる。また、内周から外周まで再生速度（データの転送レート）が変化するのでPLLがロック可能な周波数レンジを大きくする必要がある。さらに、通常の音楽再生のためにCLVに切り換える必要がある。したがって、このような理由から、CAVシステムではディスク再生装置のコストアップを招く。

【0011】また、CD-ROMプレーヤーは、ディスクドライブとして携帯用のパーソナルコンピュータ等に使用される。これは、CD-ROMの容量がフロッピーディスクと比較して非常に大きいためである。このような携帯用パーソナルコンピュータではより長い動作時間を得るために消費電力を削減することが重要である。しかしこれらパーソナルコンピュータにおける消費電力は、マイクロプロセッサの動作周波数の増加により大きくなっている。本発明は、再生速度を切換えた場合やサーチ動作を行った場合でも、再生データの中断期間が短く、速やかに再生データを得ることができるディスク再生装置及びその信号処理回路を僅かな回路の追加・変更で実現することを目的にしている。また、システム全体の消費電力を削減して消費電力の節約を計ると共にシステムが形成されたチップの過剰な加熱を防ぐディスク再生装置及び信号処理回路を提供することを目的にしている。

【0012】

【課題を解決するための手段】上記の課題を解決するために、本発明のディスク再生装置は、少なくとも第1又は第2のタイプに分類されるディスクデータを再生するためのディスク再生装置において、前記ディスクデータが記録されたディスクを回転させるディスクモータと、

再生すべきデータを前記ディスクから読み取る光学式ピックアップと、前記ディスクから読み取られたデータを復調する復調回路と、前記復調回路で復調されたデータを格納するバッファメモリと、前記バッファメモリから読み出された前記第1のタイプのデータの前記復調されたデータを動作基準クロック信号に応答して変換するデジタルアナログ変換回路とを有し、再生すべきデータが前記第1のタイプのデータの場合、前記動作基準クロック信号の周波数を第1の値に設定し、再生すべきデータが前記第2のタイプのデータの場合には、前記動作基準クロック信号の周波数を前記第1の値よりも低い第2の値に設定することを第1の特徴とする。

【0013】また、少なくとも第1又は第2のタイプに分類されるディスクデータを再生するためのディスク再生装置において、前記ディスクデータが記録されたディスクを回転させるディスクモータと、再生すべきデータを前記ディスクから読み取る光学式ピックアップと、前記ディスクから読み取られたデータを復調する復調回路と、前記復調されたデータを格納するバッファメモリと、前記バッファメモリから読み出された前記第1のタイプのデータの前記復調されたデータを動作基準クロック信号に応答して変換するデジタルアナログ変換回路と、前記バッファメモリへのアクセスに使用されるフレームクロック信号を生成するフレームクロック生成回路とを備え、このフレームクロック生成回路は、前記バッファメモリに格納された前記復調されたデータの量に従って分周制御信号を生成する分周制御回路と、前記分周制御信号に基づいて所定周波数のクロック信号を分周し、第1の分周されたクロック信号を出力する第1の分周器と、分周が固定された第2の分周されたクロック信号を出力する第2の分周器と、前記第1及び第2の分周されたクロック信号の位相差を表わす位相制御信号を生成する位相比較器と、前記位相制御信号に応答して周波数が前記バッファメモリに格納された前記復調されたデータの量にしたがって変化し、前記第2の分周器に与えられる制御されたクロック信号を生成する電圧制御発振器と、前記所定周波数のクロック信号と前記制御されたクロック信号とを入力し、これら入力のいずれか一方を選択し、選択されたクロック信号を出力する第1のセレクタと、前記選択されたクロック信号を分周して前記フレームクロック信号を生成する第3の分周器とを備えており前記再生すべきデータが前記第1のタイプのデータの場合、前記動作基準クロック信号の周波数は第1の値に設定され、前記セレクタは前記所定周波数のクロック信号を選択し、前記再生すべきデータが前記第2のタイプのデータの場合、前記動作基準クロック信号の周波数は前記第1の値より低い第2の値に設定され前記第2のセレクタは前記制御されたクロック信号を選択することを第2の特徴とする。

【0014】また、少なくとも第1又は第2のタイプに

分類されるディスクデータを再生するためのディスク再生装置において、前記ディスクデータが記録されたディスクを回転させるディスクモータと、再生すべきデータを前記ディスクから読み取る光学式ピックアップと、前記ディスクから読み取られたデータを復調する復調回路と、前記復調されたデータを格納するバッファメモリと、前記バッファメモリへのアクセスに使用されるフレームクロック信号を生成するフレームクロック生成回路とを備え、このフレームクロック生成回路は、前記バッファメモリに格納された前記復調されたデータの量に従って分周制御信号を生成する分周制御回路と、前記分周制御信号に基づいて所定周波数のクロック信号を分周し、第1の分周されたクロック信号を出力する第1の分周器と、分周数が固定されている第2の分周されたクロック信号を出力する第2の分周器と、前記第1と第2の分周されたクロック信号の位相差を表わす位相制御信号を生成する位相比較器と、前記位相制御信号に応答して周波数が前記バッファメモリに格納された前記復調されたデータの量にしたがって変化し、前記第2の分周器に与えられる制御されたクロック信号を生成する電圧制御発振器と、前記所定周波数のクロック信号と前記制御されたクロック信号とを入力し、これら入力された信号のいずれか一方を選択し、選択されたクロック信号を出力するセレクタと、前記選択されたクロック信号を分周して前記フレームクロック信号を生成する第3の分周器とを備えており、前記再生すべきデータが前記第1のタイプのデータの場合、前記セレクタは前記所定周波数のクロック信号を選択し、前記再生すべきデータが前記第2のタイプのデータの場合、前記セレクタは前記バッファメモリに格納された前記復調されたデータの量に従って前記フレームクロック信号の周波数を制御するように前記制御されたクロック信号を選択することを第3の特徴とする。

【0015】さらに、少なくとも第1又は第2のタイプに分類されるディスクデータを再生し、この第2のタイプのデータは少なくとも圧縮された静止画データや圧縮された動画データから構成された圧縮画像データを含むディスク再生装置において、前記ディスクデータが記録されたディスクを回転させるディスクモータと、再生すべきデータを前記ディスクから読み取る光学式ピックアップと、前記ディスクから読み取られたデータを復調する復調回路と、前記復調回路で復調されたデータを格納するバッファメモリと、前記バッファメモリから読み出された前記第2のタイプのデータの前記復調されたデータを動作基準クロック信号に応答して伸長する少なくとも1つの伸長された静止画データ及び伸長された動画データを得る伸長回路とを備え、再生すべきデータが前記第2のタイプのデータの場合、前記動作基準クロック信号の周波数を第1の値に設定し、再生すべきデータが前記第1のタイプのデータの場合には、前記動作基準クロ

ック信号の周波数を前記第1の値よりも低い第2の値に設定することを第4の特徴とする。

【0016】また、本発明の信号処理回路は、ディスクモータによって回転されるディスクに記録され、光学的ピックアップによって読み出される少なくとも第1のタイプのデータ又は第2のタイプのデータに分類されるディスクデータを再生する信号処理回路において、前記ディスクから読み出されたディスクデータを復調する復調回路と、前記ディスクから読み出されたデータを格納するバッファメモリと、前記バッファメモリから読み出された前記第1のタイプのデータの前記復調されたデータを前記動作基準クロック信号に応答して変換するデジタルアナログ変換回路とを備え、再生すべきデータが前記第1のタイプのデータの場合前記動作基準クロック信号の周波数を第1の値に設定し、再生すべきデータが前記第2のタイプのデータの場合には、前記動作基準クロック信号の周波数を前記第1の値よりも低い第2の値に設定することを第1の特徴とする。

【0017】また、ディスクモータによって回転されるディスクに記録され、光学式ピックアップによって読み出される少なくとも第1のタイプのデータ又は第2のタイプのデータに分類されるディスクデータを再生する信号処理回路において、前記ディスクから読み取られたデータを復調する復調回路と、前記復調されたデータを格納するバッファメモリと、前記バッファメモリから読み出された前記第1のタイプのデータの前記復調されたデータを動作基準クロック信号に応答して変換するデジタルアナログ変換回路と、前記バッファメモリにアクセスするフレームクロック信号を生成するフレームクロック生成回路とを備え、このフレームクロック生成回路は、前記バッファメモリに格納された前記復調されたデータの量に従って分周制御信号を生成する分周制御回路と、前記分周制御信号に基づいて所定周波数のクロック信号を分周し、第1の分周されたクロック信号を出力する第1の分周器と、分周数が固定されている第2の分周されたクロック信号を出力する第2の分周器と、前記第1及び第2の分周されたクロック信号の位相差を表わす位相制御信号を生成する位相比較器と、前記位相制御信号に応答して周波数が前記バッファメモリに格納された前記復調されたデータの量に従って変化し、前記第2の分周器に与えられる制御されたクロック信号を生成する電圧制御発振器と、前記所定周波数のクロック信号と前記制御されたクロック信号とを入力し、これら入力のいずれか一方を選択し、選択されたクロック信号を出力する第1のセレクタと、前記選択されたクロック信号を分周して前記フレームクロック信号を生成する第3の分周器とを備えており、前記再生すべきデータが前記第1のタイプのデータの場合、前記動作基準クロック信号の周波数は第1の値に設定され前記セレクタは前記所定周波数のクロック信号を選択し、前記再生すべきデータが前

記第2のタイプのデータの場合、前記動作基準クロック信号の周波数は前記第1の値より低い第2の値に設定され前記第2のセレクタは前記制御されたクロック信号を選択することを第2の特徴とする。

【0018】さらに、ディスクモータによって回転されるディスクに記録され、光学式ピックアップによって読み出される少なくとも第1のタイプのデータ又は第2のタイプのデータに分類されるディスクデータを再生する信号処理回路において、前記ディスクから読み取られたデータを復調する復調回路と、前記復調されたデータを格納するバッファメモリと、前記バッファメモリへのアクセスに使用されるフレームクロック信号を生成するフレームクロック生成回路とを備え、このフレームクロック生成回路は、前記バッファメモリに格納された前記復調されたデータの量に従って分周制御信号を生成する分周制御回路と、前記分周制御信号に基づいて所定周波数のクロック信号を分周し、第1の分周されたクロック信号を出力する第1の分周器と、分周数が固定されている第2の分周されたクロック信号を出力する第2の分周器と、前記第1と第2の分周されたクロック信号の位相差を表わす位相制御信号を生成する位相比較器と、前記位相制御信号に応答して周波数が前記バッファメモリに格納された前記復調されたデータの量にしたがって変化し、前記第2の分周器に与えられる制御されたクロック信号を生成する電圧制御発振器と、前記所定周波数のクロック信号と前記制御されたクロック信号とを入力し、これら入力された信号のいずれか一方を選択し、選択されたクロック信号を出力するセレクタと、前記選択されたクロック信号を分周して前記フレームクロック信号を生成する第3の分周器とを備えており、前記再生すべきデータが前記第1のタイプのデータの場合、前記セレクタは前記所定周波数のクロック信号を選択し、前記再生すべきデータが前記第2のタイプのデータの場合、前記セレクタは前記バッファメモリに格納された前記復調されたデータの量に従って前記フレームクロック信号の周波数を制御するように前記制御されたクロック信号を選択することを第3の特徴とする。

【0019】

【作用】サーチ動作時あるいは再生速度切り換え時にディスクモータが、その所定速度に到達するまでの過渡期間にディスクモータの速度が遅く、かつ、信号処理回路におけるメモリへのデータの書き込み速度が遅い場合は、第2のクロックである信号処理系のクロックを所定周波数よりも小さくすることによりメモリからの読みだし速度を遅くしてメモリが空になるのを防ぐ。また、ディスクモータの速度が速くメモリへのデータの書き込み速度が速い場合は、第2のクロックである信号処理系のクロックを所定周波数よりも大きくしメモリからの読みだし速度を速くしてメモリが満杯になるのを防ぐことができる。この様に、メモリの書き込み速度に応じてシス

テム基準クロックの周波数を適宜変化させてメモリのオーバーフロー／アンダーフローを防ぐことができる。また、オーディオデータを再生しないときはDA変換器あるいは伸長回路等のシステムクロック、すなわち動作基準クロックを消費電流が問題にならない程度まで下げるか、もしくは止めることによりシステム全体の電力消費を削減することができる。

【0020】

【実施例】以下、図面を参照して本願発明の実施例を説明する。図1乃至図4を参照して、再生の中止を抑制したディスク再生装置及び信号処理回路の第1の実施例を説明する。図1はCLV方式を用いたディスク再生装置を示す。スピンドルモータのようなディスクモータ2が、CD（コンパクトディスク）等のディスク1を回転させる。ディスク1に記録されたデータは光学式ピックアップ（PU）3により読み取られ、読み取られた信号はEFM信号生成回路（以下、RF回路と呼ぶ）4に供給される。RF回路4はフォーカスエラー信号とトラッキングエラー信号（以下、ERRSと示す）とを光学式ピックアップ3の出力信号から抽出し、抽出された信号をサーボ制御回路5へ供給する。更に、RF回路4はディスク1から読み取られた信号を2値化してPLL回路6へ供給する。PLL回路6は再生系の基準クロック信号（VCOCK）と再生系のフレームクロック信号（PFS）とを生成する。これらのクロック信号はEFM信号に同期しており、信号処理回路7へ供給される。フレームクロック信号PFSはクロック信号回路8へも供給される。クロック信号VCOCKの中心周波数は17.2872MHzであり、これはEFM信号のビットレートの4倍の周波数である。つまり、EFM信号のビットレートは4.3218MHzである。PLL回路6はまた、EFM信号を信号処理回路7へ供給する。

【0021】サーボ制御回路5は、フォーカスサーボ制御回路、トラッキングサーボ制御回路、スピンドルサーボ制御回路、及びスレッドサーボ制御回路を含む。フォーカスサーボ制御回路は、フォーカスエラー信号が零になるようにピックアップ3の光学トラッキングを制御する。スピンドルサーボ制御回路は、ディスク1を所定速度、すなわち線速度一定（CLV）でディスクモータ2を駆動する。スレッドサーボ制御回路は、トラッキングサーボのアクチュエータの位置がその可動範囲の中心にくるように、ピックアップ3を目的位置へ移動する。信号処理回路7はEFM復調、サブコード復調、及びエラー訂正処理を行う。信号処理回路7の出力はデジタル／アナログコンバータ（以下、DACと呼ぶ）9へ供給される。DAC9の出力はローパスフィルタ（LPF）10へ供給されLPF10の出力は再生されたオーディオ出力信号に対応する。映像情報やキャラクタコー

ドといったROMデータは、DAC9及びLPF10にて処理されずに、信号処理回路7からROMデータ出力、つまりデジタル出力、として出力される。また、水晶発振器のクロック信号(X'tal)は動作基準クロックとしてDAC9へ供給される。

【0022】マイクロプロセッサのようなシステムコントローラ11は、倍速制御信号(HS)と速度切り替え信号(SW)とを含む制御信号を信号処理回路へ供給する。システムコントローラ11はまた、信号処理回路7とサーボ制御回路5とに、ブレー、ストップ、曲間サーチ、ミューティング等の様々な制御信号を供給する。このシステムコントローラは、例えば、TLC870(株式会社東芝製)といったマイクロコンピュータで実現される。CDプレーヤ全体を制御するシステムコントローラ11は、制御信号HSとSWをサブコードデータ(SUBQ)に基づいて生成する。このサブコードデータは、ディスク上の半径23mmから25mmのリードインエリアに記録されたTOC(Table of Contents)を読みとることで得られる。TOCから、オーディオデータ及びROMデータ(画像情報及びキャラクタコード)の個々の位置、すなわちスタートアドレス、と個々のデータのタイプが特定できる。

【0023】サブコードQデータは、またリードインエリア以外に記録されたデータの読み取りによっても得られる。サブコードQデータは、図2中のサブコード復調回路74で復調され、システムコントローラ11へ供給される。従って、システムコントローラ11は制御信号HS及びSWを、指定されたデータに基づいて、またはデータのタイプに応じて発生する。指定されたデータがオーディオデータの場合には、信号処理系の基準クロックが切り換えられないように“L”レベルの制御信号SWが発生される。逆に、指定されたデータがROMデータの場合には、“H”レベルの制御信号SWが発生される。サブコードQデータはオーディオデータやROMデータの再生中にも得られるので、再生すべきデータのタイプを再生中に検出することができる。従って制御信号SWの切り換えは再生中にも起こり得る。この点は、ディスクにオーディオデータとROMデータとが混在して記録されているようなディスクを再生する場合に非常に有効である。制御信号SWの切り換えについて以下に説明する。

【0024】ディスクプレーヤにディスクが読み込まれた後に、TOCが読み取られる。システムコントローラ11はこのTOCから各トラック番号の個々のデータのタイプ(オーディオ/ROM)を判別する。TOCから得られた情報はデータ記憶領域(図示せず)に格納される。このデータ記憶領域はバッファメモリとは別のもので、システムコントローラに接続されている。その後、第1トラックのデータのタイプに応じて制御信号SWが“L”または“H”に設定される。従って、制御信号S

Wはデータのタイプを示す信号のように働く。次に、開始時間またはトラック番号を利用して再生すべきデータが指定されると、システムコントローラは、データ記憶領域に格納された情報をを利用して指定されたデータのタイプを特定する。そして、システムコントローラは特定結果に応じて制御信号SWを“L”または“H”にセットし、信号処理回路に再生を開始させる。

【0025】ディスクに記録されたデータの再生中にデータのタイプの変化が検出された場合、この変化はサブコードQデータを利用して検出される、システムコントローラ11は制御信号SWを“L”から“H”へ、または“H”から“L”へと切り換える。この場合、ディスクはオーディオデータとROMデータとが混在したオーディオ/ROMタイプのディスクである。逆に、ディスクに記録された全てのデータを再生してもデータのタイプの変化が検出されなかった場合、このディスクは、オーディオタイプのデータのみが存在するオーディオタイプのディスク、あるいはROMタイプのデータのみが存在するROMタイプのディスク、ということになる。

【0026】次に、クロック信号回路8について説明する。クロック信号回路8は制御信号HS及びSWに基づき信号処理系の基準クロック信号(MCK)を水晶発振器のクロック信号(XCK)または電圧制御発振器のクロック信号(VCK)から生成する。水晶発振器のクロック信号(XCK)は水晶発振器(X'tal)から供給される。再生系の基準クロック信号(VCOCK)はPLL回路で生成されたPLLクロックである。次に、クロック信号回路8は、クロック信号XCKを2304分周して信号処理系のフレームクロック信号(MFS)を生成する。このフレームクロック信号MFSは信号処理回路7中のバッファメモリからの読み出しクロック信号として利用される。また、クロック信号回路8は、クロック信号XCKをサーボ制御基準クロック信号(SCK)として出力する。

【0027】信号処理回路7について図2を参照して詳細に説明する。信号処理回路7は、EFM復調回路71、バッファメモリ72、エラー訂正回路73、サブコード復調回路74、出力回路75、及びメモリ制御回路76を備えている。EFM復調回路71は、PLL回路6で発生されたEFM信号に同期した、再生系の基準クロック信号(VCOCK)を受け取る。同期信号、つまりシンクパターン、はEFM信号から抽出され、EFM信号は復調され、データバス(DBUS)を介して1フレーム毎にバッファメモリ72へ格納される。尚、1フレームは1シンボルのサブコードデータと、パリティデータを含む32シンボルのメインデータとから構成される。

【0028】バッファメモリ72はジッタ吸収とエラー訂正処理のインタリープに利用される。時間軸上のジッ

タは、復調されたE FM信号を再生系のフレームクロック信号(PFS)に同期してバッファメモリに書き込み、クロック信号回路8で生成された信号処理系のフレームクロック信号(MFS)に同期して読み出すことで吸収、除去される。バッファメモリ72の出力はデータバス(DBUS)を介して、C1及びC2システムエラー訂正を行うエラー訂正回路73へ供給される。このようなエラー訂正是、“Principles of Digital Audio”(ISBN:0-672-22388-0) Chap. 6, Sec. 6.3 (“Error Correction”), Ken C. Pohlmann (1987)に記載されている。エラー訂正されたデータは、クロック信号MFSに同期してもう一度バッファメモリへ書き込まれる。次に、エラー訂正されたデータはクロック信号MFSに同期してバッファメモリ72から読み出され、出力回路75へ供給される。出力回路は、訂正不能なデータが存在する場合には平均値補完ミュート処理を行い、再生データ(DATA)を出力する。サブコード復調回路74はサブコードをバッファメモリ72から読み出し、サブコードQデータ(サブコードの1要素)のエラーチェックを行い、結果(SUBQ)をシステムコントローラ11へ出力する。サブコードデータはC1システムエラー訂正の際に同時に読み出すのが好ましい。ここではサブコードデータはバッファメモリへ格納され、バッファメモリから読み出されているが、サブコード復調をバッファメモリを利用せずにすることも可能である。

【0029】メモリ制御回路76は、ロードアドレス信号、カラムアドレス信号、ロードアドレスストローブ信号(/RAS)、カラムアドレスストローブ信号(/CAS)、及びリード/ライト信号(R/W)をバッファメモリへ出力する。信号/RAS及び/CASの立ち下がりエッジを検出すると、16ビットDRAMといったバッファメモリ72はロードアドレス信号とカラムアドレス信号とをそれぞれラッ奇する。この場合、バッファメモリ72に供給されるアドレスは以下の4種類に分類される。これらのアドレス信号は、復調されたE FMデータをバッファメモリに書き込む際のWrアドレス、バッファメモリ72に書き込まれたデータのC1システムエラーを検出するためC1システムデータを読み取る際、また、検出されたエラーのあるデータの訂正を行うための書き込み読み出しの際のC1アドレス、バッファメモリ72に書き込まれたデータのC2システムエラーを検出するためC2システムデータを読み取る際、また、検出されたエラーのあるデータの訂正を行うための書き込み読み出しの際のC2アドレス、及びDAC9へ出力するためにバッファメモリからデータを読み出す際のReアドレスである。

【0030】バッファメモリが16ビットのSRAMで実現されている場合、上記のDRAMに対する制御信号の替わりに、リード/ライト信号(R/W)、チップイネーブル信号(/CE)、及び11ビットのアドレス

信号で制御することが可能である。メモリ制御回路76は、2個のカウンタを含むアドレス回路(図2には図示せず)を有する。これらカウンタの一方は、ディスクから読み取られたE FMデータのフレーム同期信号に基づいて生成された再生系のフレームクロック信号(PFS)を計数し、フレームアドレスWrを生成する。その結果、復調されたE FMデータのバッファメモリへの書き込み処理でジッタが発生する。他方のカウンタは信号処理計のフレームクロック信号(MFS)を計数し、フレームアドレスC1、C2、Reを生成する。上述のように、復調されたE FMデータの書き込みはクロック信号PFSに同期してWrアドレスを使用して行われ、読み出しは信号処理系のフレームクロック(MFS)に同期してReアドレスを利用して行われる。

【0031】速度切り換え信号(SW)が“L”を示すとき水晶発振器のクロック信号(XCK)を単純に分周してえられた一定のフレームクロック信号が信号処理系のフレームクロック信号(MFS)として利用される。その結果、書き込み動作と読み出し動作とで時間軸上のジッタが吸収される。その後、復調されたデータが信号処理回路からDACとLPFとを介してスピーカといったアナログ機器へ出力される。速度切り換え信号(SW)が“H”を示すとき、バッファメモリ中のデータ量に応じて変化する他のフレームクロック信号が信号処理系のフレームクロック信号(MFS)として利用される。その結果、ジッタは吸収されず、バッファメモリ72でのデータのアンダーフロー及びオーバーフローは防止される。このときシステム信号処理回路から出力される復調されたデータは、DAC及びLPFを介さずに出力される。この場合、コンピュータのドライブ(記憶装置)として用いられるCD-ROMプレーヤーのようなシステムでは、ROMデータはオーディオ信号として直接出力されなので、信号処理回路7からの出力データに含まれるジッタは問題を生じない。

【0032】図3はクロック信号回路8及びメモリ制御回路76中のアドレス回路のブロック図である。クロック信号回路8はセレクタ80、クロック信号生成器81、電圧制御発振器(VCO)82、第1の分周器86、第2の分周器87、位相比較器(PD)88、及びローパスフィルタ(LPF)89を有する。アドレス回路は、Reフレームアドレスカウンタ77、[Wr-R]演算回路(分周制御回路)78、及びWrフレームアドレスカウンタ79を有する。電圧制御発振器(VCO)82の出力(VCK)は、セレクタ80を介してクロック信号生成器81へ信号処理に必要なクロック信号(例えば、MFS)を生成する信号処理系の基準クロック信号(MCK)として出力される。このVCOのフリーラン周波数は16.9344MHzであり、この周波数は、水晶発振器(X'tal)の発振周波数と同じである。クロック信号生成器81の出力は、信号処理系のフ

フレームクロック信号 (MFS) であり、これは通常 7.35 kHz の周波数である。このフレームクロック信号 MFS はメモリ制御回路 76 中のアドレス回路にありクロック信号 MFS に基づいて 1 フレーム毎にカウントアップする Re フレームアドレスカウンタ 77 へ与えられる。Re フレームアドレスカウンタ 77 の出力は、Re アドレスとして [Wr - Re] 演算回路 78 の一方の入力へ与えられる。[Wr - Re] 演算回路 78 の他方の入力へは、Wr フレームカウンタ 79 の出力である Wr アドレスが与えられる。Wr フレームカウンタ 79 は再生系のフレームクロック信号 (PFS) に基づき 1 フレーム毎にカウントアップする。

【0033】 [Wr - Re] 演算回路 78 は、Wr フレームカウンタ 79 の出力と Re フレームカウンタ 77 の出力との差を計算し、第 1 の分周器 86 の分周数を制御する分周制御信号 (a) を出力する。従って、演算回路 78 は第 1 の分周器における分周を制御する。周波数が 16.9344 MHz である水晶発振器からのクロック

信号が与えられるこの第 1 の分周器 86 は、このクロック信号を $N + a$ 分周する。ここで分周数は、メモリ制御回路 76 中の [Wr - Re] 演算回路 78 が生成する分周制御信号 (a) により制御される。分周制御信号 (a) の値は、例えば、正数、0、及び負数である。VCO 82 の出力 (VCK) が与えられる第 2 の分周器 87 は、固定の分周数を有し、N 分周を行う。第 1 及び第 2 の分周器 86、87 の出力は位相比較器 (PD) 88 へ与えられ、この位相比較器の出力 (S3) は LPF 89 を介して VCO 82 へ与えられる。VCO は、第 1 及び第 2 の分周器 86、87 の出力の差を減少させるよう VCO の出力クロック信号 VCK の周波数を制御する。クロック信号 VCK、水晶発振器のクロック信号 (X' tal)、及び分周制御信号 (a) の関係の一例を表 1 に示す。

【0034】

【表 1】

$a = 0$	$VCK = X' \text{ tal}$
$a > 0$	$VCK < X' \text{ tal}$
$a < 0$	$VCK > X' \text{ tal}$

【0035】 例えば、バッファメモリ 72 のジッタ吸収能力が 12 フレームの場合、ある時点での書き込みアドレスは読み出しアドレスに対して 7 フレーム先行する。従って、上記 2 つのフレームカウンタ、つまり Wr フレームカウンタと Re フレームカウンタとの値の差 D は通常 7 フレームである。尚、前述のとおり、個々のカウンタはそれぞれに与えられるクロック信号に基づいて 1 フレーム毎にカウントアップしている。ディスクモータの回転速度が、1 倍速または 2 倍速再生に対する所定速度である場合、この差 D は 7 である。しかしながら、ディスクモータの回転速度が 1 倍速または 2 倍速再生に対する所定速度より小さい場合には、Wr フレームカウンタの進みは Re フレームカウンタの進みよりも遅くなり、差 D は小さくなる。そして、この差つまり [Wr - Re] が、0 まで減少した場合あるいは 12 まで達した場合には、バッファメモリ 72 でオーバーフローあるいはアンダーフローが発生し、エラー訂正処理にて訂正不可能なエラーが検出される。

【0036】 本願発明のこの実施例では上述のオーバーフロー及びアンダーフローを防止するため、第 1 の分周器 86 の分周数が変化する。したがって電圧制御発振器 (VCO) 82 の発振周波数が信号処理系のフレームクロック信号 (クロック信号生成器 81 で生成される MFS) の周波数が再生系のフレームクロック信号 (PFS) の周波数に近づくように制御される。例えば、分周制御信号 (a) は差 D に応じて下記表 2 のように生成される。

【0037】

【表 2】

D = 1 ~ 3 のとき、a を正にセット

D = 7 ~ 12 のとき、a = 0 にリセット

D = 10 ~ 12 のとき、a を負にセット

D = 6 のとき、a = 0 にリセット

【0038】 VCO の特性に応じて制御信号 (a) に対する正数または負数は適当な値に設定される。例えば、制御信号 (a) の絶対値は、第 2 の分周器 87 の分周数 (分周因子) の値の 2.5% に設定される。上述の回路では、ディスクモータの回転速度が所定速度に達していない過渡期間においてもアンダーフロー オーバーフローが発生しないように、信号処理系のフレームクロック (MFS) が変化される。ディスクモータの回転速度が所定速度に達していない場合、差 D は減少する。差が 3 になったとき、分周制御信号 (a) は正数に設定され、VCO 72 の発振周波数が減少する。従って、MFS の周波数も低下し、差 D ([Wr - Re]) が増加する。差 D が 7 にまで増加すると、分周制御信号 (a) は 0 にリセットされ、VCK の周波数は水晶発振器のクロック信号の周波数に一致する。逆に、ディスクモータの回転数が所定速度より速い場合には、差 D は増加する。差 D が 10 にまで増加すると、分周制御信号 (a) は負数に設定され、VCO 72 の発振周波数が増加する。従って、MFS の周波数も増加し、差 D ([Wr - Re]) が減少する。差 D が 6 にまで減少すると、分周制御信号 (a) は 0 にリセットされ、VCK の周波数は水晶発振

器のクロック信号の周波数に一致する。

【0039】このように、この実施例においては、VCOの発振周波数が信号処理系のフレームクロック信号(MFS)が再生系のフレームクロック信号の周波数に追隨するよう変化するので、アンダーフローやオーバーフローが発生するのが防止される。従って、再生データがより高速に得られる。さらに、信号処理系のフレームクロック信号(MFS)が再生系のフレームクロック信号(PFS)に応じて変化されない場合、例えば、オーディオデータが再生される場合、システムコントローラ11から“L”レベルの制御信号SWがセレクタ80に供給される。“L”レベルの制御信号SWを受け取ると、セレクタ80は水晶発振器のクロック信号X'talを選択し、クロック信号生成器81へ信号処理系の基準クロック信号(MCK)として出力する。逆に、“H”レベルの制御信号がシステムコントローラ11からセレクタ80へ与えられると、セレクタ80はVCO82の出力(VCK)を選択し、クロック信号生成器81へ出力する。このとき、[Wr-Re]演算回路がその入力に応じて分周制御信号(a)を出力し、信号処理系のフレームクロック信号(MFS)がバッファメモリ72に対する書き込み速度と読み出し速度との差に応じて変化する。

【0040】次に、第1の分周器86、第2の分周器87、及び位相比較器88に対する更に詳細な説明を行う。水晶発振器のクロック信号(XCK)が入力される第1の分周器86は、N+a分周カウンタ、つまり、可変分周器である。第1の分周器のNの値は第2の分周器87のNの値と同じであり、512である。差D([Wr-Re])に従い、“a”的値は、-127、0、+128に設定される。従って、第1の分周器86の分周数は、385、512、及び640となる。これは、分周数がNの値つまり512の、-25%から+25%まで変化することを意味する。VCO82の出力(VCK)が入力される第2の分周器87はN分周カウンタである。9ビットカウンタに対するNの値は、例えば、512である。“a”的値、第1の分周器86の出力(S1)、第2の分周器87の出力(S2)、及び位相比較器88の出力(S3)の関係を図4に示す。位相比較器(PD)88は第1の分周器の出力(S1)と第2の分周器(S2)とを比較し、信号S3を以下の通りに出力する(表3)。

【0041】

【表3】

“a”：位相差：信号S3

a=0：位相差無し：Hi z (ハイインピーダンス)

a>0：S2が進んでいる：S2の立ち上がりからS2の立ち上がりまでを“H”(-f down)

a<0：S1が進んでいる：S1の立ち上がりからS2の立ち上がりまでを“L”(-f up)

【0042】位相比較器88からの入力が“Hi z”(ハイ・インピーダンス)を示しているとき、LPPF89の出力は通常2.5Vである。入力S3に“H”期間が続ければ、LPPF89の出力は2.5Vを超えて、入力S3に“L”期間が続ければLPPFの出力は2.5Vよりも下がる。上述の実施例では、サブコードデータが信号処理系の基準クロックに同期しているため、サブコードデータは常に再生されたデータと同期している。尚、サブコードデータは、サブコードブロック単位で、バッファメモリへ書き込まれ、読み出される。前述のとおり、ディスク再生装置では、バッファメモリにサブコードデータを書き込みを行わなくとも、サブコードデータの復調を行うことができる。このような再生装置では、サブコードデータは、PLL回路で生成されたFM信号に同期して出力される。従って、再生データは信号処理系の基準クロック信号に同期して出力されるため、サブコードデータと再生データとの間に時間的ズレ(ジッタ)が生じる。しかしながら、本願発明のこのようなタイプの再生装置にも適用可能である。

【0043】さらに、幾つかのディスク再生装置及びそれらの信号処理回路は、外部からの入力に応じてオーディオデータの周波数を変化することができる回路を備えている。このような回路は、「バリピッチ回路」と呼ばれている。このバリピッチ回路は、第1の分周器、第2の分周器、位相比較器、ローパスフィルタ、及び電圧制御発振器を備えているので、アンダーフロー及びオーバーフローを防止するための本実施例の回路を僅かな回路の追加及び変更で実現することができる。この結果、このようなディスク再生装置は、比較的安価なコストで実現することができる。さらに、信号処理回路7とPLL回路6とは一つの半導体基板上に実現することも可能である。またこれらの二つの回路6、7、クロック信号回路8、サーボ制御回路5及びDAC9を同じ半導体基板上に実現することも可能である。

【0044】次に、本願発明の第2の実施例を図5乃至図7を参照して説明する。図5は第2の実施例に基づくディスク再生装置のブロック図である。図5と図1とで共通なブロックには同じ番号が付与されている。図6及び図7はクロック信号回路8'の一部を示している。図5のディスク再生装置は、図1のそれと比較して、クロック信号DACLKがクロック信号回路8'からDAC9へ与えられている点及び3つの水晶発振器のクロック信号がクロック信号回路8'へ与えられている点で異なっている。これらのクロック信号は通常再生に対する第1の水晶発振器の信号(X'tal(X1))、倍速再生に対する第2の水晶発振器の信号(X'tal(X2))、4倍速再生に対する第3の水晶発振器の信号(X'tal(X4))である。DAC9へ供給されるクロック信号は第1及び第2の制御信号(Ctrl 1、Ctrl 2)に応じて

選択される。これとは反対に、従来のシステムでは、外部から供給される水晶発振器のクロック信号（例えば、16.9344MHzの周波数を持つ信号）が常にDAC9へ動作基準クロックとして与えられている。

【0045】図6は、図5のクロック回路8'の一部の構成を示している。それぞれクロック信号X'tal(X1)、X'tal(X2)、X'tal(X4)が与えられる入力A、B及びCを有する第1のセレクタ(Select.1)801は、第1の制御信号(Ctrl1)に応じてその入力のうち1つを選択する。クロック信号X'tal(X1)はまた第2のセレクタ(Select.2)802へも与えられる。第1のセレクタ801の出力は、出力が第2のセレクタ802の入力Bへ与えられるM分周器(1/M)12へ与えられる。第1のセレクタ801の出力はまた、出力である信号処理系のフレームクロック信号(MFS)が信号処理回路7へ与えられる信号生成回路13へ与えられる。第2のセレクタ802は第2の制御信号(Ctrl2)に基づいて入力A、Bの一方を選択し、選択された信号を動作基準クロック(DACLK)としてDAC9へ出力する。バッファメモリ72からのデータの読み出しはフレームクロック信号MFSに応答して行われる。

【0046】2ビットの倍速制御信号HSは、例えば、第1の制御信号(Ctrl1)として供給される。この倍速制御信号(HS)はユーザの設定に応じてシステムコントローラ11から供給されるものでRROMデータの再生レートを示す。第1のセレクタ801は、第1の制御信号(Ctrl1)が“00”(2進数)を示すとき入力Aを、第1の制御信号(Ctrl1)が“10”を示すとき入力Bを、第1の制御信号(Ctrl1)が“11”を示すとき入力Cを、選択する。クロック信号切り換え信号(SW)は、例えば、第2の制御信号(Ctrl2)として供給される。このクロック信号切り換え信号は、再生すべきデータがオーディオデータかRROMデータか、つまりデータのタイプを示す。データのタイプはサブコードQデータに応じて特定される。M分周器(1/M)12のMの値は、DAC9の電力消費を充分低くするように設定され、例えば、100から500の値に設定される。

【0047】次に、クロック信号回路8'の動作を説明する。第1の制御信号Ctrl1が“00”で、第2の制御信号Ctrl2が“0”(“L”)のとき、再生状態はオーディオデータに対する1倍速再生である。第1のセレクタ801はクロック信号X'tal(X1)を選択し、クロック信号生成回路に再生系のフレームクロック信号(MFS)を生成させる。このフレームクロック信号MFSは信号処理回路7に与えられ、バッファメモリからのデータの読み出しに利用される。このとき第2のセレクタ802は入力Aを選択し、クロック信号X'tal(X1)をDAC9の動作基準クロック(DACLK)とし

て出力する。ここで、信号処理回路7からの復調されたデータはDAC9におけるデジタルーアナログ変換の後に出力される。

【0048】第1の制御信号Ctrl1が“10”で、第2の制御信号Ctrl2が“1”(“H”)のとき、再生状態はRROMに対する2倍速再生である。第1のセレクタ801はクロック信号X'tal(X2)を選択し、クロック信号生成回路に再生系のフレームクロック信号(MFS)を生成させる。選択されたクロック信号X'tal(X2)の周波数は、DAC9における電力消費を充分低くするように、M分周器12により低下される。このとき、第2のセレクタ802は、その入力Bを選択し分周されたクロック信号をDAC9の動作基準クロック信号として出力する。ここでは、信号処理回路7からの復調されたデータは、DAC9にてデジタルーアナログ変換をされることなく出力される。この再生状態では、DAC9の動作基準クロック信号の周波数の低下は問題とならない。なぜなら、再生すべきデータはデジタルーアナログ変換を必要としないRROMデータだからである。

【0049】第1の制御信号Ctrl1が“00”で、第2の制御信号Ctrl2が“1”(“H”)のとき、再生状態はRROMに対する1倍速再生である。通常、できるだけ高速のアクセスを実現するためRROMデータは2倍速のようなモードで再生される。しかしながら、ディスクの品質が悪く1倍速再生よりも高速のモードではデータが再生できない場合にはこのような再生状態となる。この状態では、第1のセレクタ801はクロック信号X'tal(X1)を選択する。選択されたクロック信号X'tal(X1)の周波数は、M分周器12によりDAC9の電力消費を充分低く抑える程度に下げられる。このとき第2のセレクタ802はその入力Bを選択し、分周されたクロック信号をDAC9の動作基準クロック(DACLK)として出力する。この再生状態では、DAC9の動作基準クロックの低下は問題とならない。なぜなら、再生すべきデータはデジタルーアナログ変換を必要としないRROMデータだからである。詳細な説明は省略するが第1の制御信号Ctrl1が“11”で、第2の制御信号Ctrl2が“1”的とき、再生状態はRROMデータに対する4倍速再生となる。

【0050】更に、図6に示されているとおり、制御信号Ctrl2が“1”的とき、第2のセレクタ802は、M分周器の出力の替わりに接地電位の入力Bを用いることも可能である。図7はクロック信号回路8'の別の構成を示す図である。図6と図7とで共通なブロックについては、同じ参照番号が付与されている。ここでは、第1のセレクタ801の出力がフレームクロック信号生成回路13にのみ与えられている。このフレームクロック信号生成回路13の出力は、信号処理系のフレームクロック信号(MFS)として使用され、また、第2のセレクタ802の入力Bへも与えられる。フレームクロック

信号生成回路13は2304分周回路であり、例えば、1倍速再生時には16.9344MHzのクロック信号X'tal(X1)を2304分周して周波数7.35kHzのフレームクロック信号を生成する。

【0051】次に、図7の回路の動作を説明する。第1の制御信号Ctrl1が“00”で、第2の制御信号Ctrl2が“0”(“L”)のとき、再生状態はオーディオデータに対する1倍速再生である。第1のセレクタ801はクロック信号X'tal(X1)を選択し、クロック信号生成回路に再生系のフレームクロック信号(MFS)を生成させる。このフレームクロック信号MFSは、信号処理回路7に与えられ、バッファメモリからのデータの読み出しに利用される。このとき第2のセレクタ802は入力Aを選択し、クロック信号X'tal(X1)をDAC9の動作基準クロック(DACLK)として出力する。ここで、信号処理回路7からの復調されたデータはDAC9におけるデジタルーアナログ変換の後に出力される。

【0052】第1の制御信号Ctrl1が“10”で、第2の制御信号Ctrl2が“1”(“H”)のとき、再生状態はROMに対する2倍速再生である。第1のセレクタ801はクロック信号X'tal(X2)を選択し、クロック信号生成回路に再生系のフレームクロック信号(MFS)を生成させる。このとき、第2のセレクタ802は、その入力Bを選択しフレームクロック信号生成回路13の出力をDAC9の基準動作クロック信号として出力する。ここでは、信号処理回路7からの復調されたデータは、DAC9にてデジタルーアナログ変換されることなく出力される。フレームクロック生成回路13の出力は2304分周されているのでDAC9での電力消費は低減される。第1の制御信号Ctrl1が“00”で、第2の制御信号Ctrl2が“1”(“H”)のとき、再生状態はROMに対する1倍速再生である。この状態では、第1のセレクタ801はクロック信号X'tal(X1)を選択する。選択されたクロック信号X'tal(X1)は、クロック信号生成回路13により分周される。このとき、第2のセレクタ802はその入力Bを選択し、分周されたクロック信号をDAC9の動作基準クロック(DACLK)として出力してDAC9での電力消費を低減する。

【0053】これらの2つの再生状態では、DAC9の動作基準クロックの低下は問題となるない。なぜなら、再生すべきデータはデジタルーアナログ変換を必要としないROMデータだからである。図7の回路では、フレームクロック信号MFSがDAC9の動作基準クロック信号として与えられているので、図6に示されているM分周器を設ける必要はない。図6及び図7の構成においては、第1の制御信号Ctrl1と第2の制御信号Ctrl2とで別の信号を用いるようにしたが、第1の制御信号Ctrl1の上位1ビットを第2の制御信号Ctrl2とし

て利用することもできる。ただし、この場合は2倍速及び4倍速再生の場合は、(第1の制御信号Ctrl1の上位1ビットは“1”となるので)セレクタの入力Bの信号がDACLKとして選択される。しかし、再生データがROMデータであっても1倍速再生のときはDAC9の動作基準クロックは低減されない。なぜなら、このとき第1の制御信号の上位1ビットつまり第2の制御信号Ctrl2は“0”であり、DAC9の動作基準クロックとしてクロック信号X'tal(X1)が選択されるためである。

【0054】また、第2の制御信号が“1”的とき、第2のセレクタ802はフレームクロック信号生成回路13の出力の替わりに接地電位の入力B'を選択するようにもできる。入力B'が選択された場合、DAC9に対するクロック供給は停止される。しかし、DAC9の回路構成によっては、動作基準クロックの供給の停止が消費電力の増大に結びつくりーク電流を増大させることもある。従って、クロック供給の停止には注意を払う必要がある。更に、2304分周回路とは異なる回路を、図6及び図7におけるフレームクロック信号生成回路として採用することも可能である。例えば、図3に示されたクロック信号回路を採用することも可能である。また、消費電力を低減するこれらの回路構成は、信号処理毛の基準クロック信号がEFM信号に応じて生成される再生系の基準クロック信号を間引いて生成されるディスク再生装置にも適用可能である。

【0055】次に、本願発明の更なる実施例を図8を参照して説明する。図8は画像データの伸長(復調)を行うための伸長回路14を含むディスク再生装置を示す。図1、図5、及び図8において共通のブロックには同じ参照番号が付与されている。クロック回路8"は伸長回路14に対する動作基準クロック信号DECCLKを伸長回路14に供給し、この伸長回路14はデマルチプレクサ(DE-Mux)15を介して信号処理回路7のデジタル出力を受け取る。伸長されたデータは伸長回路14から出力される。クロック回路8"には伸長回路用に水晶発振器で発振されたクロック信号X'tal(DEC)が与えられており、このクロック信号の周波数は10MHzよりも高い。このクロック信号回路8"は再生すべきデータのタイプに応じて伸長回路14に対する動作基準クロック信号を生成する。再生すべきデータがROMデータの場合には第1の周波数の動作基準クロック信号DECCLKがデータ伸長を行うために伸長回路14へ与えられる。例えば、この第1の周波数は50MHzである。この場合、動作基準クロック信号DECCLKの第1の周波数は前述の実施例のDACの動作基準クロック信号DACLKの種は数より高い。

【0056】再生すべきデータがオーディオデータの場合には上記第1の周波数よりも低い第2の周波数の動作基準クロック信号DECCLKが伸長回路14へ与えられ

る。これらのクロック切り換えは、前述の実施例で述べられたようにデータのタイプに応じて行われる。上記の伸長回路を備えたディスク再生装置は、例えば、デジタルビデオディスク（DVD）プレーヤとして使用することが可能である。尚、図8に示された実施例においては第2の実施例のようにDAC9の動作基準クロック信号を制御していない。しかしながら、図8に示された実施例においてDACの動作基準クロック信号DACLKを制御するようにすることも可能である。すなわち、再生すべきデータがオーディオデータの場合には、DACLKを通常の動作周波数とし、DECCLKの周波数を低下させる。逆に、再生すべきデータがROMデータの場合には、DACLKの周波数を低下させ、DECCLKを通常の動作周波数とする。

【0057】

【発明の効果】以上説明した通り、本願発明の一態様によれば、バッファメモリにおける読み出しクロック信号はバッファメモリ内のデータ量、及び再生すべきデータのタイプに応じて制御される。従って、オーバーフロー及びアンダーフローを抑制することができ、データ再生の中止を短くし、ディスクモータが所定の回転数に到達する前に再生データを得ることが可能となる。また、本願発明の別の態様によれば、再生すべきデータのタイプに応じて、デジタルアナログ変換回路又は伸長回路の動作基準クロック信号の周波数が低減されるので、これら回路の電力消費を低減することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に基づくディスク再生装置及び信号処理回路を示すブロック図。

【図2】本発明の第1の実施例に基づく信号処理回路を示すブロック図。

【図3】本発明の第1の実施例に基づくクロック信号回路の一部を示すブロック図。

【図4】分周制御信号と信号S1乃至S3との関係を示すタイミングチャート。

【図5】本発明の第2の実施例に基づくディスク再生装置及び信号処理回路を示すブロック図。

【図6】本発明の第2の実施例に基づくクロック信号回路を示すブロック図。

【図7】本発明の第2の実施例に基づく別のクロック信号回路を示すブロック図。

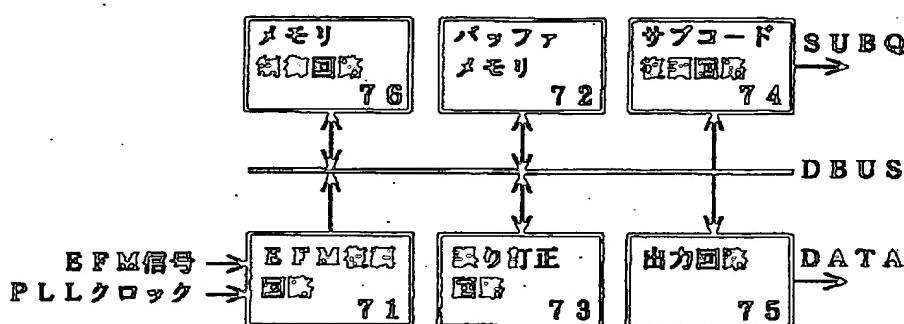
【図8】本発明の更なる実施例に基づくディスク再生装置及び信号処理回路を示すブロック図。

【図9】従来の再生クロック信号とシステム基準クロック信号の関係を示す説明図。

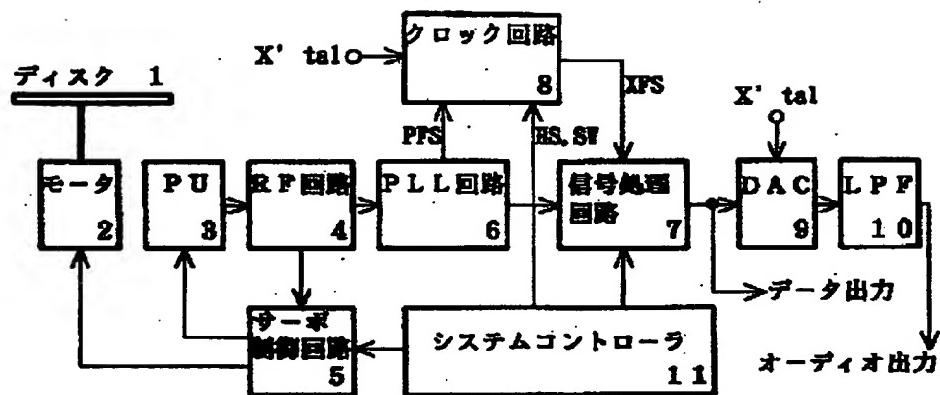
【符号の説明】

1...ディスク、 2...ディスクモータ、 3...光学式ピックアップ（PU）、 4...RF回路、 5...サーボ制御回路、 6...PLL回路、 7...信号処理回路、 8...クロック信号回路、 9...DAC、 10...LPF、 11...システムコントローラ、 12...M分周器、 13...フレームクロック信号生成回路、 14...伸長回路、 15...デマルチブレクサ、 71...EFM復調回路、 72...バッファメモリ、 73...エラー訂正回路、 74...サブコード復調回路、 75...出力回路、 76...メモリ制御回路、 77...Reフレームアドレスカウンタ、 78...[Wr-R]演算回路（分周制御回路）、 79...Wrフレームアドレスカウンタ、 80...セレクタ、 81...クロック信号生成器、 82...電圧制御発振器（VCO）、 86...第1の分周器、 87...第2の分周器、 88...位相比較器（PD）、 89...ローパスフィルタ（LPF）、 801...第1のセレクタ、 802...第2のセレクタ

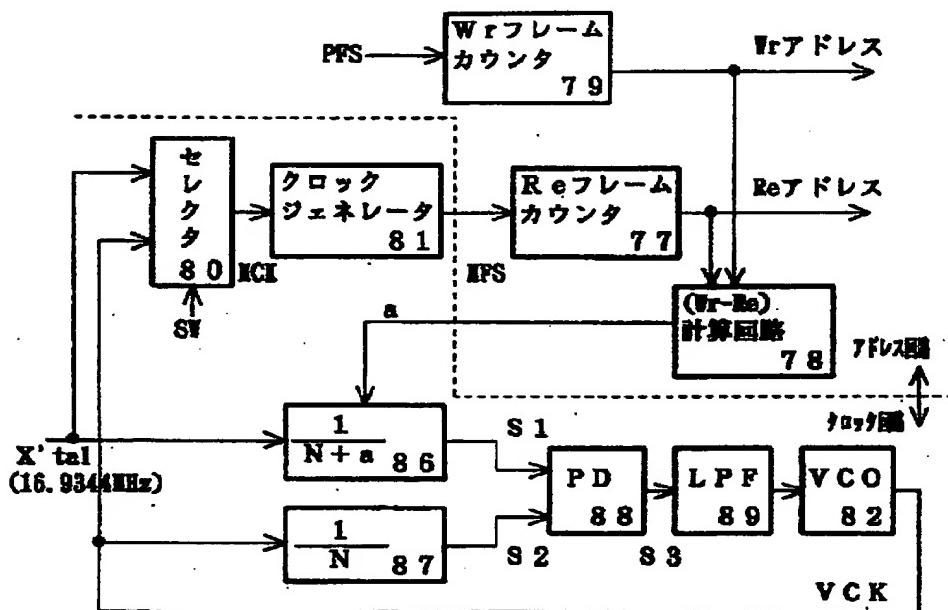
【図2】



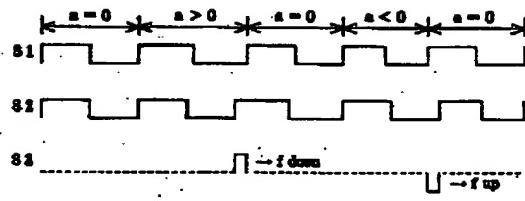
〔圖 1〕



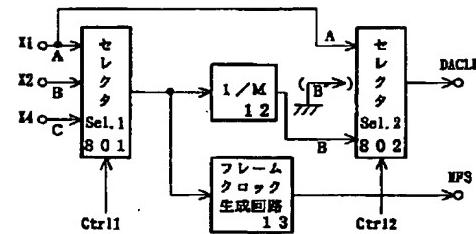
【図3】



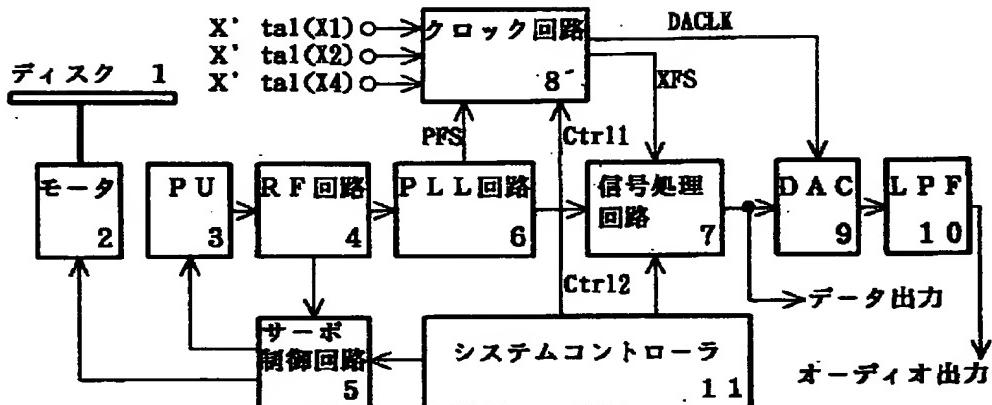
【図4】



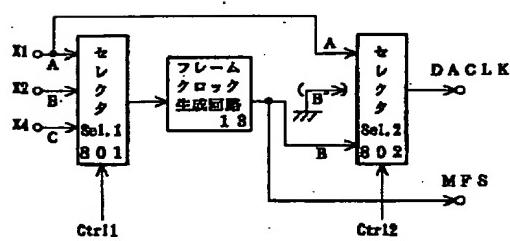
【図6】



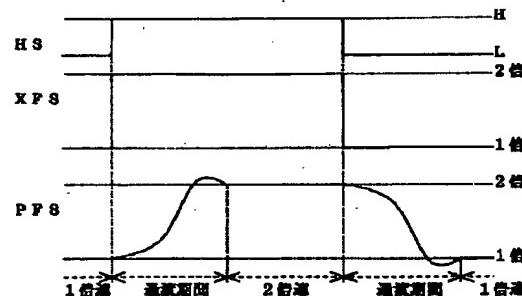
【図5】



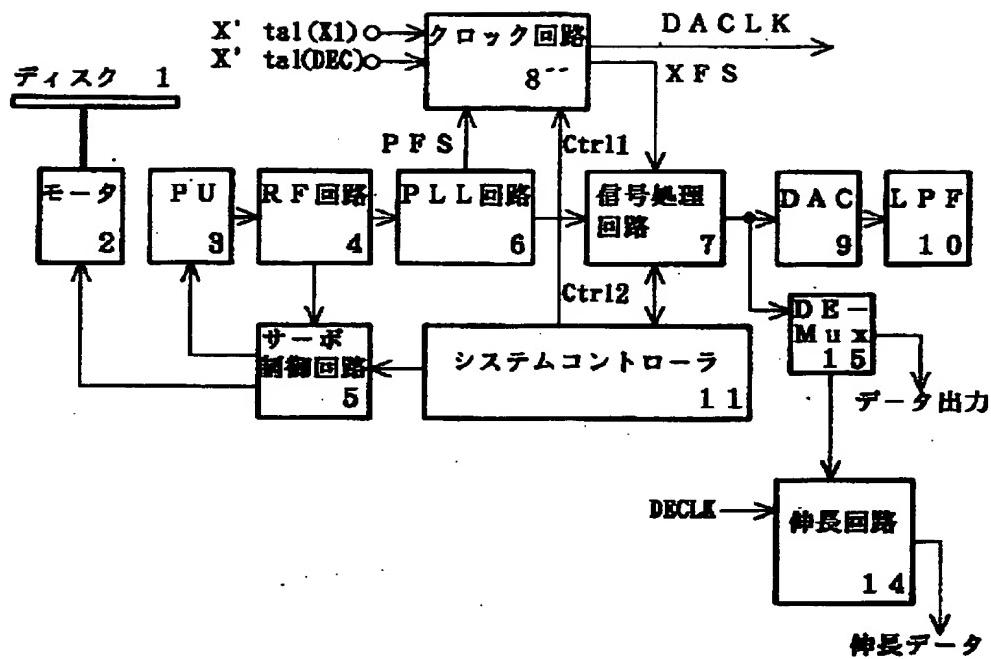
【図7】



【図9】



【図8】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.